

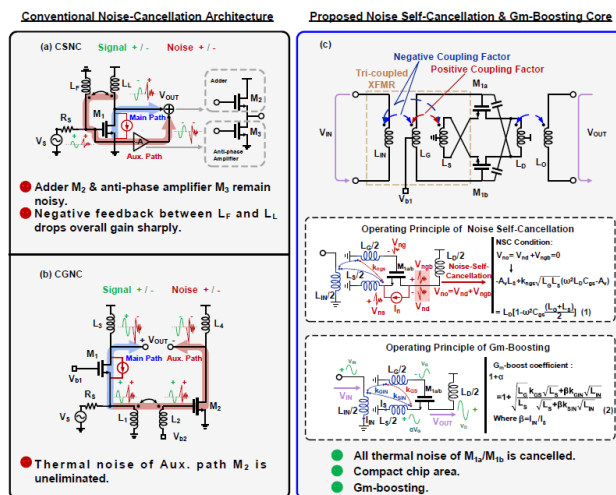
# 2023 IEEE CICC Review

## IEEE Custom Integrated Circuits Conference

성균관대학교 전자전기컴퓨터공학과 석박사통합과정 박재우

### #28-1: A 52-to-73GHz Tri-Coupled Transformer Based Noise Self-Canceling and Gm-Boosting LNA with 3.78dB NF and 22.4dB Gain in 40nm CMOS

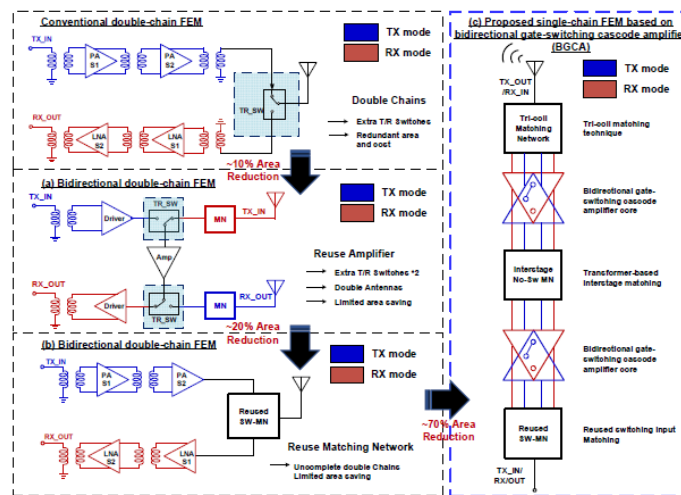
급격한 거리변화에도 신호를 안정적으로 감지하기 위해서는 넓은 dynamic range 와 낮은 noise 수치를 가진 수신기 구조가 필요하다. 기존의 연구들은 트랜지스터의 사이즈를 조절하거나 네트워크의 수정 및 반복을 통하여 최적화를 하거나, 노이즈 캔슬링을 회로를 사용하여 하였다. 하지만 이러한 기존 연구들은 노이즈를 제거할 때 보조 경로로 인하여 발생하는 노이즈를 제거하지 못해서 결국 시스템 전체 노이즈 제거가 완벽히 일어날 수 없다는 점을 문제로 지적한다. 본 논문에서는 그림 1과같이 3중결합 변압기(XFMR)을 기반으로 한 noise self-cancellation과 Gm-boosting LNA를 활용하여 작은 칩 면적을 사용하면서도 노이즈를 효과적으로 제거하였다.



[그림 1] Topologies and operating principles of conventional noise cancellation and proposed noise self-cancellation and Gm-boosting

## #28-2: A 52-67GHz Ultra-Compact Bi-directional Gate-switching Cascode Amplifier with Tri-coil Broadband Matching in 40-nm CMOS

Bi-directional single-chain Transceiver는 Transceiver architecture를 단순화 하여 면적과 비용을 절약할 수 있다는 가능성을 보여준다. 하지만 Bi-directional 구조를 사용함으로써 발생하는 불완전한 트랜지스터의 on/off 동작과 기생효과로 인한 심각한 전류누출은 송수신기 성능을 저하시킨다. 이는 주파수가 올라갈 수록 심각해지는 문제이다. 본 논문에서는 그림2와 같이 양방향 게이트 스위칭 캐스코드 증폭기 (BGCA) 코어를 기반으로 하는 mm-Wave TRX용 초소형 양방향 프론트 엔드 모듈을 제안하였다. BGCA는 대역폭, 노이즈 수치 및 TX/RX 모드에 대한 비이상적 온/오프 작동과 같은 양방향 작동으로 인한 문제를 제거해주며, 3 coil 광대역 매칭 기술은 충분한 안정성을 유지하면서 증폭기의 대역폭을 확장할 수 있도록 해주었다.

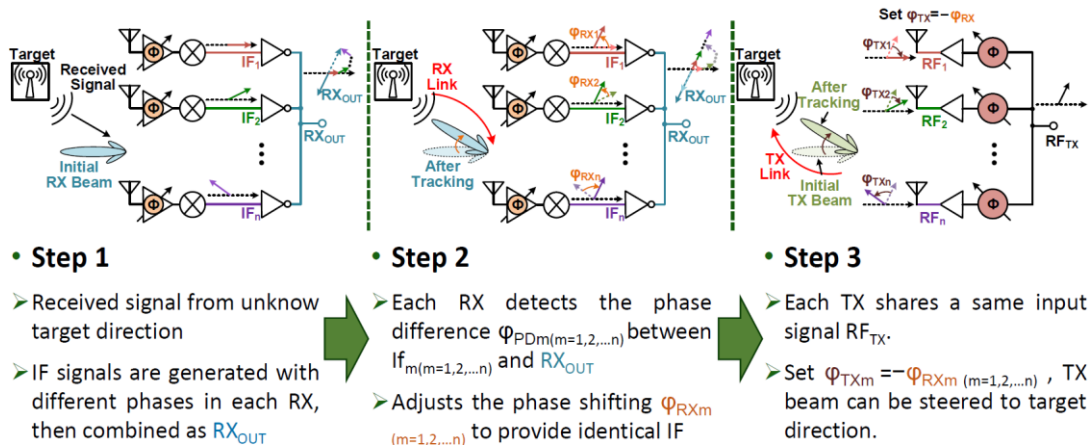


[그림 2] The proposed bi-directional single-chain FEM based on bi-directional gate-switching cascode amplifier in comparison with other conventional bi-directional FEM architecture

## #28-4: An 8-Element 23-40 GHz Continuously Auto Link-Tracking Phased-Array Transceiver with Time Division Modulator Achieving 7 $\mu$ s Tracking Time, 25.3% TX System Efficiency, 800MHz-64QAM Modulation for 5G NR

본 논문은 무선 통신에서 high-data-rate 과 low-latency를 달성하는 동시에 전력효율을 개선시킨 송수신기 구조를 제안한다. 기존의 연구에서는 무선 통신에서 무작위로 이동하는 타겟을 대상과 링크를 구성하기 위하여 TRX array는 open-loop phase shifter에 의해서 제어되는 beam-steering 기술을 사용하였다. 하지만 이러한 구조에서는 빠르게 이동하는 타겟을 대상과 링크를 안정적으로 유지하기 위하여 복잡한 위상이동 알고리즘을 필요로 한다.

따라서 beam-tracking 기술이 새롭게 제시되었으나, 기존에 발표된 논문들은 이 기술을 Rx array에서만 적용시키는데 그쳤다. 본 논문은 Tx와 Rx array mode 두 경우 모두에서 auto-beam-steering 지원하는 8-element 23-40GHz continuously auto link-tracking TRX array를 제시하였다. 그림 3과 같이 타겟의 방향이 불분명한 데이터를 수신한 뒤에 phase tracking을 하여 Rx link를 연결시키고 이때 사용한 phase 정보를 활용하여 Tx link를 연결시킨다.



[그림 3] Concept of Continuously Link-Tracking Phased-Array Transceiver

## 저자정보



### 명예기자 박재우

- 소속 : 성균관대학교 전자전기컴퓨터공학과 석박사통합과정
- 연구분야 : High Speed I/O
- 이 메 일 : jaewoo7488@skku.edu
- 홈페이지 : <https://sites.google.com/view/skku-comics/home?pli=1>

# 2023 IEEE CICC Review

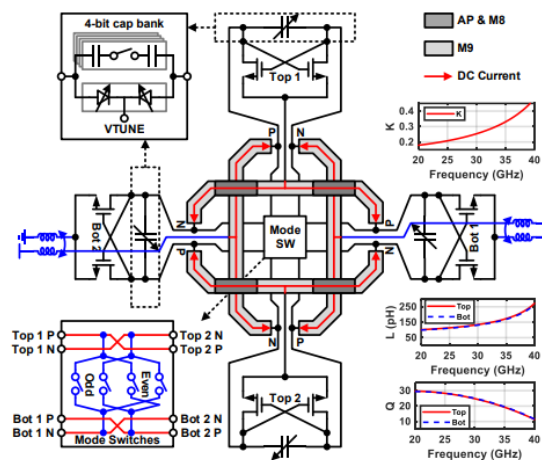
## IEEE Custom Integrated Circuits Conference

서울대학교 전기정보공학부 박사과정 박하정

### Session 15 Frequency Generation, Clocking and Power Transfer

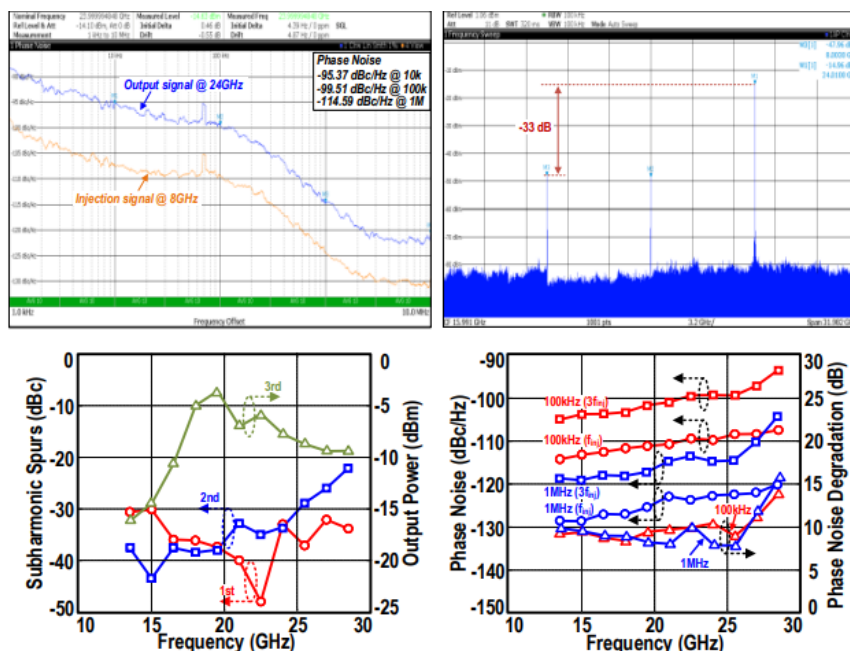
이번 2022 IEEE CICC의 Session 15은 Frequency Generation, Clocking and Power Transfer 라는 주제로 총 7편의 논문이 발표되었다. 이 세션에서는 고성능 저전력 주파수 생성과 전력 전달에 관련된 이슈에 중점을 두었다.

#15-2는 Tsinghua university에서 발표한 논문으로 5G communication을 target으로 wide range의 ultra low-noise phase noise를 가지는 LO(local oscillator)를 설계를 위한 dual layer를 사용한 dual-mode VCO에 대해 제안하고있다. Multi-layer feature를 사용하면 신뢰성 이슈 없이 standard보다 높은 VDD를 사용할 수 있고,  $10\log N(\text{dB})$ 에 해당하는 phase noise 개선과 넓은 frequency tuning range를 얻을 수 있다. 해당 논문은 65nm CMOS공정으로 설계되었으며, 10.6~13.8mW를 소비한다. 또한 전체 frequency tuning range는 25-35.9GHz이며 1MHz offset, the phase noise는  $-111.3 \sim -106.2\text{dBc}/\text{Hz}$ 이고, FoM은  $186.5 \sim 189.1\text{dBc}/\text{Hz}$ 이다. 10MHz offset에서의 phase noise는  $-131.9 \sim -127.4\text{dBc}/\text{Hz}$ 이고, FoM은  $187.8 \sim 189.6\text{dBc}/\text{Hz}$ 이다.



[그림 1] Detailed schematic of the proposed dual-layer quad-core dual-mode VCO and simulated transformer parameters

#15-3 는 University of Macau에서 발표한 논문으로 Injection-locked frequency tripler (ILFT)에 대해 다루고 있다. ILFT는 mm-wave LO generation에서 PN를 개선할 수 있게 하며, PLL과 VCO가 낮은 frequency에서 동작 할 수 있도록 하여 power efficiency를 높이는 데 기여한다. 본 논문에서는 multi-phase injection locking을 이용하여 injection-signal strength와 3<sup>rd</sup> harmonic current purity를 증가시켜 low PN, wide locking range를 구현한 ILFT를 제안하며, low subharmonic spur와 output buffering 없이 output power를 개선시켰다. 본 논문의 ILFT는 28nm CMOS 공정을 사용하였고, 17.1mW를 소모한다. 측정된 PN는 8GHz injection signal, 24GHz output signal에서  $-114.6\text{dBc/Hz}$  (@1MHz offset)으로 확인되었다. 그림2에서 1st- 와 2nd-subharmonic spurs가  $-33, -33.5\text{dBc}$ 인 것을 확인할 수 있다. 그리고 multi-phase injection locking을 사용하여, fundamental subharmonic spur가 locking range 이내에서  $<-30\text{dBc}$ 인 것을 확인할 수 있다.



[그림 2] Measurements: PN profile (top left) and spectrum (top right) at output frequency of 24GHz; Output power and subharmonic spurs (bottom left); PN and PN degradation across the locking range (bottom right)

#15-6는 University of Electronic Science and Technology of China에서 발표한 sub-sampling PLL에 대한 논문이다. 높은 데이터 전송률을 갖는 모바일 무선 통신을 위해 밀리미터파(mmW) 다중 대역 작업을 지원하기 위해, 넓은 튜닝 범위, 낮은 위상 잡음, 낮은 전력 소비를 갖는 밀리미터파 PLL이 큰 수요가 있다. PLL의 주요 구성 요소인 밀리미터파 주파수 분할기는 주파수 범위가 제한되고 높은 전력을 소비하는 문제가 있는데, sub-sampling PLL (SSPLL)은 높은 phase detection gain과 divider가 없는 특성을 갖기 때문에

밀리미터파의 낮은 jitter 주파수 합성에서 유용하게 사용될 수 있다. 그러나 넓은 대역의 SSPLL의 경우, 올바른 잠금 주파수를 보장하기 위해 분배기를 기반으로 하는 주파수 잠금 루프 (FLL)가 여전히 필요하다. 본 논문에서는 40nm CMOS에서 21.8에서 41.6GHz의 fractional-N SSPLL을 제안하며, 분배기 없는 unequal REF delay FLL (URD-FLL)을 사용한다. 680 $\mu$ W만 소비하는 URD-FLL은 넓은 주파수 범위에서 PLL이 목표 주파수에 올바르게 locking 보장하면서도 jitter 성능을 희생하지 않는다. 100MHz reference 주파수로, 제안된 PLL은 133.3fs의 fractional-N jitter, -246.9dB FoMj, 그리고 -270.3dB FoMj,N을 달성하였다.

## 저자정보

---



### 박하정 박사과정 대학원생

- 소속 : 서울대학교
  - 연구분야 : 아날로그회로설계
  - 이메일 : hajung.park@snu.ac.kr
  - 홈페이지 : <https://sites.google.com/view/ic3-snu>
-